

DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

010504255 **Image available**

WPI Acc No: 1996-001206/199601

XRPX Acc No: N96-001012

Multiple output current mirror for IC - detects base current of each of three mirror transistors to reproduce base current on collector of cascade transistor to which each mirror transistor is associated

Patent Assignee: SGS THOMSON MICROELTRN PTE LTD (SGSA); SGS THOMSON

MICROELTRN SA (SGSA)

Inventor: LOH G H; SANTI M; HENG L G

Number of Countries: 020 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 684537	A1	19951129	EP 94410039	A	19940527	199601 B
JP 8051322	A	19960220	JP 95123625	A	19950523	199617
SG 24134	A1	19960210	SG 95509	A	19950525	199632
US 5627732	A	19970506	US 95448803	A	19950524	199724
EP 684537	B1	20010816	EP 94410039	A	19940527	200147
DE 69427961	E	20010920	DE 627961	A	19940527	200163
			EP 94410039	A	19940527	

Priority Applications (No Type Date): EP 94410039 A 19940527

Cited Patents: 01Jnl.Ref; EP 596653; FR 2255760; US 4503381

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 684537 A1 E 11 G05F-003/26

Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC
NL PT SE

JP 8051322 A 9 H03F-003/343

SG 24134 A1 G05F-003/26

US 5627732 A 13 G05F-003/02

EP 684537 B1 E G05F-003/26

Designated States (Regional): DE FR GB IT

DE 69427961 E G05F-003/26 Based on patent EP 684537

Abstract (Basic): EP 684537 A

The mirror has three mirror connected PNP transistors (T1,T2,T3) whose bases are connected to a first node (A). Three cascade connected transistors (T4,T5,T6) are each associated to one of the mirror transistors. There is a current input (Iin) corresponding to the collector of the first cascade transistor. Mirror outputs (Io2, Io2) correspond to the collectors of the other two cascade transistors whose bases are connected to a second node (B).

A current generator (3) provides a biasing current for a transistor (T7) by amplifying its input current which originates from the first cascade transistor to whose base it is connected. The emitter of the biasing transistor is connected to node A. The generator comprises two mirror connected NPN transistors (T9,T10).

ADVANTAGE - Has unity mirror ratio which is stable for varying input current.

Dwg.6/7

Title Terms: MULTIPLE; OUTPUT; CURRENT; MIRROR; IC; DETECT; BASE; CURRENT;
THREE; MIRROR; TRANSISTOR; REPRODUCE; BASE; CURRENT; COLLECT; CASCADE;
TRANSISTOR; MIRROR; TRANSISTOR; ASSOCIATE

Derwent Class: U13; U24

International Patent Class (Main): G05F-003/02; G05F-003/26; H03F-003/343

International Patent Class (Additional): G05F-003/28

File Segment: EPI

?

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-51322

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 F 3/343

A 8943-5 J

G 0 5 F 3/26

4237-5 H

審査請求 有 請求項の数7 OL (全 9 頁)

(21)出願番号 特願平7-123625

(22)出願日 平成7年(1995)5月23日

(31)優先権主張番号 9 4 4 1 0 0 3 9 : 5

(32)優先日 1994年5月27日

(33)優先権主張国 フランス (F R)

(71)出願人 593209954

エスジーエーストムソン マイクロエレクトロニクス ビーティーイー リミテッド
SGS-THOMSON MICROELECTRONICS PTE LTD.
シンガポール共和国, シンガポール
2056, アン モ キオ インダストリアル パーク ツー 28

(72)発明者 ジー・ヘン・ロー

シンガポール共和国, シンガポール
1954, フローレンス・ロード, 66・シー

(74)代理人 弁理士 深見 久郎 (外3名)

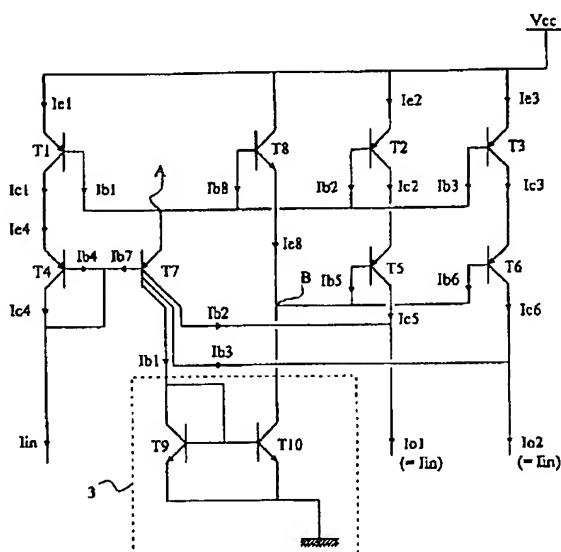
最終頁に続く

(54)【発明の名称】 多出力カレントミラー

(57)【要約】

【目的】 入力電流が変化しても安定した、優れたミラー比を有する多出力カレントミラーを提供する。

【構成】 多出力カレントミラーは、ベースが第1のノードに接続された少なくとも3つのミラー接続されたPNPトランジスタ、および少なくとも3つのカスコード接続されたトランジスタを含み、各カスコードトランジスタは1つのミラートランジスタに関連し、電流入力はその第1のカスコードトランジスタのコレクタに対応し、ミラー出力はその他2つのカスコードトランジスタのコレクタに対応する。カレントミラーはさらに、各ミラートランジスタのベース電流を検出するためおよび各ミラートランジスタが関連づけられるカスコードトランジスタのコレクタにベース電流を再発生するための手段を含む。



1

【特許請求の範囲】

【請求項 1】 多出力カレントミラーであって、ベースが第 1 のノード (A) に接続された、少なくとも 3 つのミラー接続された、PNP トランジスタ (T 1、T 2、T 3) と、

少なくとも 3 つのカスコード接続されたトランジスタ (T 4、T 5、T 6) とを含み、各カスコードトランジスタは 1 つのミラートランジスタに関連づけられ、さらに、

第 1 のカスコードトランジスタ (T 4) のコレクタに対応する電流入力 (I_{in}) と、

その他 2 つのカスコードトランジスタ (T 5、T 6) のコレクタに対応するミラー出力 (I_{o1}、I_{o2}) とを含み、

各ミラートランジスタ (T 1、T 2、T 3) のベース電流 (I_{b1}、I_{b2}、I_{b3}) を検出するため、および各ミラートランジスタが関連づけられるカスコードトランジスタのコレクタにベース電流を再発生するための手段をさらに含むことを特徴とする、多出力カレントミラー。

【請求項 2】 前記ベース電流検出手段は、マルチコレクタトランジスタ (T 7) を含み、このマルチコレクタトランジスタのエミッタは前記第 1 のノード (A) に接続され、そのベースは第 1 のカスコードトランジスタ (T 4) のベースとコレクタとに接続され、マルチコレクタトランジスタのコレクタの表面領域間の比は、ミラートランジスタのエミッタの表面領域間の比に対応することを特徴とする、請求項 1 に記載の多出力カレントミラー。

【請求項 3】 ミラートランジスタ (T 1、T 2、T 3) のエミッタの表面領域間の比は、それらが関連づけられるカスコードトランジスタ (T 4、T 5、T 6) のエミッタの表面領域間の比と同一であることを特徴とする、請求項 1 または 2 に記載の多出力カレントミラー。

【請求項 4】 前記ベース電流再発生手段は、電流発生器 (3) を含み、その 1 つの入力は、第 1 のミラートランジスタ (T 1) のベース電流に等しい電流を受取り、その 1 つの出力は、出力電流 (I_{o1}、I_{o2}) を与えるカスコードトランジスタ (T 5、T 6) のベースの相互接続に対応する第 2 のノード (B) から電流を引き、前記電流発生器の電流利得は、出力ミラートランジスタ (T 2、T 3) の表面領域の総和と入力ミラートランジスタ (T 1) のエミッタの表面領域との間の比よりも大きいことを特徴とする、請求項 1 ないし 3 のいずれかに記載の、多出力カレントミラー。

【請求項 5】 電流発生器 (3) は 2 つの NPN トランジスタ (T 9、T 10) を含み、そのベースは第 1 のトランジスタ (T 9) のコレクタに接続され、そのエミッタは接地され、第 1 のトランジスタ (T 9) のコレクタは、第 1 のミラートランジスタ (T 1) のベース電流の

2

値を与えるマルチコレクタトランジスタ (T 7) の第 1 のコレクタに接続され、第 2 のトランジスタ (T 10) のコレクタは、出力電流 (I_{o1}、I_{o2}) を与えるカスコードトランジスタ (T 5、T 6) のベースの接続の第 2 のノード (B) に接続されることを特徴とする、請求項 3 および 4 に記載の多出力カレントミラー。

【請求項 6】 ミラートランジスタ (T 1、T 2、T 3) のコレクタエミッタ電圧を同じ値に設定するための手段をさらに含むことを特徴とする、請求項 4 または 5 に記載の多出力カレントミラー。

【請求項 7】 前記手段は NPN トランジスタ (T 8) を含み、そのコレクタは電圧電源 (V_{cc}) に接続され、そのベースはミラートランジスタ (T 1、T 2、T 3) のベースの第 1 のノード (A) に接続され、そのエミッタは出力カスコードトランジスタ (T 5、T 6) のベースの第 2 のノード (B) に接続されることを特徴とする、請求項 6 に記載の多出力カレントミラー。

【発明の詳細な説明】

【0001】

20 【発明の分野】 この発明は、多出力カレントミラーに関する。このようなカレントミラーは一般的にモノリシック集積回路において、たとえば能動負荷、電流源、または電流極性インバータとして用いられる。

【0002】

【関連技術の説明】 カレントミラーは、少なくとも 1 つの出力で入力電流を再発生する。この目的において、カレントミラーは、共通のエミッタを有し、そのベースが互いにおよび入力電流を与えるトランジスタのコレクタに接続される、たとえば PNP といったバイポーラトランジスタを用いる。基本的には、同一のチップ上に形成された全く同じトランジスタのエミッタベース電圧 V_{be} は同一であると考えられる。同一のエミッタ表面を有する 2 つのトランジスタは、実質的に同一の飽和電流を有するであろう。したがって、トランジスタは共通のエミッタに接続され、相互接続されたベースを有するため、コレクタ電流もまた同一であろう。

【0003】 カレントミラーは、様々な動作パラメータにより特徴づけることができ、それらは、

— 1 つの出力で再発生された電流と入力電流との比に対応するミラー比、

— 出力インピーダンス、

— 周波数の安定性、

— 構成するトランジスタの利得の変化への感度、および

— 一定のミラー比に対する電流の動作範囲である。

【0004】 多出力カレントミラーに対し、2 つのさらなるパラメータが考慮され、それらは、

— ミラーの 2 つの出力で再発生される電流間の比に対応する出力整合比、および

— 出力の数のミラー比に対する効果である。

【0005】 図 1 は、2 つの出力を有し、共通のエミッタ

3

タを有する3つのPNPトランジスタT1、T2、T3を含む、基本的なカレントミラーを示す。3つのトランジスタのエミッタは、電源電圧Vccに接続される。トランジスタのベースは、トランジスタT1のコレクタに接続されたノードAに接続されている。ミラーの出力で再発生される入力電流Iinは、ノードA、すなわちトランジスタT1のコレクタから発生し、その出力はトランジスタT1およびT2のコレクタ電流に対応する。

【0006】所与の入力電流Iinに対し、トランジスタT1のコレクタ電流は、電流Iinマイナストラ
10 ジスタT1、T2およびT3の3つのベース電流に等しい。3つのトランジスタが同じエミッタ表面を有すると仮定すれば、このことはそれぞれのベース電流Ibは同一であることを意味する。そのため、トランジスタT1のコレクタ電流Ic1は、 $Ic1 = Iin - 3Ib$ である。トランジスタT1のエミッタ電流Ie1は、 $Ie1 = Iin - 2Ib$ である。トランジスタT1、T2、T3は、同じベースエミッタ電圧Vbeを有するため、これらのトランジスタは同じエミッタ電流を有する。したがって、トランジスタT2、T3のエミッタ電流Ie2およびIe3はまた、 $Iin - 2Ib$ に等しい。トランジスタT2およびT3のコレクタ電流Io1
およびIo2はしたがって、 $Iin - 3Ib$ に等しい。

【0007】このようなカレントミラーのミラー比はしたがって、各出力に対して同一である。このミラー比は $1 - 3/\beta$ に等しく、 β はトランジスタの電流利得、すなわち Ic/Ib である。最初の概算においてこの比は一般的に1に等しいと考えられるため、実際のミラー比は、 $3/\beta$ に等しい“エラー”を示すと考えられる。PNPトランジスタに対しては通常である、 $\beta = 50$ の
30 場合、この“エラー”は、6%に等しく、ミラー比は0.94に等しい。

【0008】このような回路は、出力電圧がアーリー効果のために変化するとき出力に電流の変化を生じさせる、低出力インピーダンスを表わす。さらに、ミラー比はノードAにおけるベース電流Ibの数を考慮に入れるため、トランジスタの数が増加するとき、この比は減少する。加えて、動作温度に伴いトランジスタの利得が変化するため、このような回路は狭い電流範囲でしか動作できない。

【0009】図2は、アーリー効果を制限し、非常に高い出力インピーダンスを提供するためのカスコード構成を用いるカレントミラーを示す。この回路はまた、ミラー比を向上させる。各ミラートランジスタT1、T2およびT3は、カスコードPNPトランジスタに関連づけられる。第1のカスコードトランジスタT4のエミッタはノードAに接続され、そのコレクタは第2のノードBを構成する。ノードBは、トランジスタT4およびその他の2つのPNPトランジスタT5とT6とのベース電流Ibを受取る。トランジスタT6のエミッタは、トラ
50

4

ンジスタT3のコレクタに接続される。回路の出力電流Io1およびIo2は、カスコードトランジスタT5およびT6のコレクタ電流に対応し、一方入力電流Iinは、第1のカスコードトランジスタT4のコレクタから発生する。この回路の動作は、図1の回路の動作と同様である。

【0010】所与の入力電流Iinに対し、トランジスタT4のコレクタ電流Ic4は、Iinマイナストラ
ンジスタT4、T5、T6の3つのベース電流に等しい。カスコードトランジスタT4、T5、T6は同じエミッタ表面領域を有すると仮定すれば、これらのベース電流は同一である。したがって、 $Ic4 = Iin - 3Ib$ である。トランジスタT4のエミッタ電流Ie4は、 $Ie4 = Iin - 2Ib$ である。電流Ie4はまた、トランジスタT1のコレクタ電流Ic1とトランジスタT1、T2、T3の3つのベース電流との総和に等しい。

【0011】ミラートランジスタT1、T2、T3のエミッタ表面領域が、カスコードトランジスタT4、T5、T6のエミッタ表面領域と等しいと仮定すれば、各ベース電流はIbに等しい。したがって、 $Ic1 = Ie4 - 3Ib = Iin - 5Ib$ である。トランジスタT1のエミッタ電流Ie1は、 $Ie1 = Iin - 4Ib$ である。トランジスタT1、T2、T3のエミッタベース電圧Vbeは等しいため、エミッタ電流も等しい。したがって、トランジスタT2およびT3のエミッタ電流Ie2およびIe3は、 $Ie2 = Ie3 = Ie1 = Iin - 4Ib$ である。これらのコレクタ電流Icは、エミッタ電流Ieマイナス1つのベース電流Ibに対応し、 $Iin - 5Ib$ に等しい。これらコレクタ電流Ic2およびIc3はそれぞれ、トランジスタT5およびT6のエミッタ電流Ie5およびIe6と同一である。トランジスタT5およびT6のコレクタ電流に対応する出力電流Io1
30 およびIo2は、したがって、 $Io1 = Io2 = Iin - 6Ib$ である。

【0012】アーリー効果の制限は、ミラートランジスタT1、T2、T3のコレクタエミッタ電圧は、Vbeに等しい同一の値で設定されるという事実のためである。したがって、カスコードトランジスタを用いることにより、出力Io1およびIo2は、電源電圧Vccおよび負荷の変化に対して感度が低くなり、出力は高インピーダンスを有する。しかしながら、上記のように、この回路においては、ミラー比は $1 - 6/\beta$ であり、すなわち“エラー”は図1の例の2倍になる。図1との関連で述べたこの点における欠点はしたがって増大する。

【0013】図3は、ウィルソン型カレントミラーを示す。この回路は図2の回路に対応するが、トランジスタT1、T2およびT3のベースの接続ノードAは、トランジスタT1のコレクタではなく、トランジスタT2のコレクタに対応する。したがって、ベース電流Ibの効果は、第1の出力Io1では補償されるが、ミラー比は

5

その他の出力に対しては劣る。

【0014】所与の入力電流 I_{in} に対し、トランジスタ T_4 のコレクタ電流 I_{c4} は上記のように、この電流 I_{in} マイナス トランジスタ T_4 、 T_5 、 T_6 の3つのベース電流に等しい。これらのベース電流は同一であり、 $I_{c4} = I_{in} - 3I_b$ 、 $I_{e4} = I_{c4} + I_b = I_{in} - 2I_b$ 、および $I_{e1} = I_{in} - I_b$ となる。トランジスタ T_1 、 T_2 および T_3 のベースエミッタ電圧 V_{be} は同じであるため、 $I_{in} - I_b$ に等しい同一のエミッタ電流を有する。これらのコレクタ電流 I_c は、そのエミッタ電流 I_e マイナス そのベース電流 I_b に対応し、 $I_{in} - 2I_b$ に等しい。トランジスタ T_5 のエミッタ電流 I_{e5} は、このコレクタ電流プラス トランジスタ T_1 、 T_2 および T_3 の3つのベース電流に等しく、すなわち $I_{in} + I_b$ である。したがって、第1の出力電流 I_{o1} に対応するトランジスタ T_5 のコレクタ電流は、 I_{in} に等しい。しかしながら、第2の出力 I_{o2} の電流に対応するトランジスタ T_6 のコレクタ電流は、 $I_{in} - 3I_b$ に等しい。

【0015】したがって、この回路は、第1の出力で優れたミラー比を提供するが、第2の出力では劣ったミラー比を提供する。整合比は $1 - 3/\beta$ に等しく、満足のいくものではない。

【0016】図4は、整合比を1に等しいものとして維持する一方で、トランジスタの利得 β のミラー比に与える影響を低減するための、別の回路を示す。この回路は、図3の回路に類似するが、トランジスタ T_1 、 T_2 および T_3 のベースの接続ノードAは、マルチコレクタトランジスタ T_7 のエミッタに対応する。トランジスタ T_7 は、ミラートランジスタ T_1 、 T_2 および T_3 のコレクタ電流を補償することを目的とする。トランジスタ T_7 のベースは、カスコードトランジスタ T_4 、 T_5 および T_6 のベースの接続ノードBに接続される。トランジスタ T_7 の2つのコレクタはそれぞれ、トランジスタ T_5 のコレクタおよびトランジスタ T_6 のコレクタに接続される。

【0017】上記のように、所与の入力電流 I_{in} に対し、 $I_{e1} = I_{e2} = I_{e3} = I_{in} - I_b$ が得られる。カスコードトランジスタ T_5 および T_6 のコレクタ電流 I_{c5} および I_{c6} は、 $I_{c5} = I_{c6} = I_{in} - 3I_b$ となる。(トランジスタ T_7 のベース電流 I_{b7} がトランジスタ T_1 のコレクタ電流 I_{c1} の値に与える影響は無視されるが、これはこのベース電流は I_b に関して二次的なものであり、トランジスタ T_7 はミラートランジスタ T_1 、 T_2 および T_3 の3つのベース電流により供給されるという事実のためである。) トランジスタ T_7 のコレクタは同じ表面を有する。したがって、エミッタ電流 I_{e7} は、コレクタ間で分割される。 $I_{e7} = 3I_b$ およびトランジスタ T_7 のベース電流は無視されるため、各コレクタの電流は $1.5I_b$ である。した

6

がって、出力電流 I_{o1} および I_{o2} の値は、 $I_{o1} = I_{o2} = I_{in} - 1.5I_b$ である。

【0018】そのため、図4の回路は、整合比を1に等しくしたままで、先の回路に関するミラー比を向上させる。すべての出力に対しミラー比が実質的に1に等しい多出力ミラー電流を得るための別の回路は、図5において示される。

【0019】この回路は、3つのミラートランジスタ T_1 、 T_2 および T_3 ならびに3つのカスコードトランジスタ T_4 、 T_5 および T_6 を含む。この回路はまた、それぞれが電流発生器1および2に関連づけられた2つのトランジスタの対 T_7 、 T_8 および T_9 、 T_{10} を含む。トランジスタ T_7 および T_9 は、NPNトランジスタであり、そのコレクタは電源電圧 V_{cc} に接続される。そのエミッタは、それぞれ1および2である電流源の第1の端子に接続され、その他の端子は接地される。エミッタはまたPNPトランジスタ T_8 および T_{10} のそれぞれのベースに接続される。トランジスタ T_8 および T_{10} のコレクタは接地される。そのそれぞれのエミッタは、カスコードトランジスタ T_4 、 T_5 、 T_6 およびミラートランジスタ T_1 、 T_2 、 T_3 のそれぞれのベースノードBおよびAに接続される。トランジスタ T_7 のベースは、トランジスタ T_4 のコレクタに接続され、トランジスタ T_9 のベースはトランジスタ T_2 のコレクタに接続される。

【0020】入力 I_{in} に対し、トランジスタ T_4 のコレクタ電流 I_{c4} は、トランジスタ T_7 のベース電流 I_{b7} を無視し、 I_{in} に等しい。そのため、 $I_{c1} = I_{in} + I_b$ および $I_{e1} = I_{e2} = I_{e3} = I_{in} + 2I_b$ となる。したがって、トランジスタ T_5 および T_6 のコレクタ電流、すなわち出力電流 I_{o1} および I_{o2} は、 I_{in} に等しい。

【0021】この結果は、ベース電流 I_{b7} および I_{b9} の、トランジスタ T_4 および T_2 のコレクタ電流 I_{c4} および I_{c2} に対する効果は無視して得られる。したがって、このような回路は、電流 I_{in} が高いときには適切な特性を有する。しかしながら、広範囲の入力電流に対する正確性は劣る。これは、入力電流が低いときには、ベース電流 I_{b7} および I_{b9} はもはや無視できないという事実による。この場合、これらのベース電流は、図4のトランジスタ T_7 に対するように、二次的なベース電流ではなく、電流源により提供される電流である。このような欠点は、AC電流に対し出力電流の変形が生じるように、 I_{in} が大きな変化にさらされるときには、特に意味を持つ。

【0022】この発明の目的は、1に等しく、入力電流が変化するときにも安定した、優れたミラー比を有する多出力カレントミラーを提供することである。

【0023】この発明のさらなる目的は、たとえ出力の数が増加しても、多出力カレントミラーに対して同一の

7

ミラー比を提供することである。

【0024】

【発明の概要】これらおよびその他の目的を達成するために、この発明の1つの例示の実施例において、多出力カレントミラーを提供し、カレントミラーは、ベースが第1のノードに接続された少なくとも3つのミラー接続されたPNPトランジスタと、少なくとも3つのカスコード接続されたトランジスタとを含み、各カスコードトランジスタは1つのミラートランジスタに関連づけられ、電流入力は第1のカスコードトランジスタのコレクタに対応し、ミラー出力はその他2つのカスコードトランジスタのコレクタに対応し、ミラー電流はさらに、ミラー出力端子の各々の出力電流は実質的に入力電流に等しく、入力電流からは独立しており、ミラー出力端子の1つのミラー比により乗算されることを確実にするための手段を含む。

【0025】この発明のさらなる実施例に従えば、ベース電流検出手段は、マルチコレクタトランジスタを含み、このマルチコレクタトランジスタのエミッタは第1のノードに接続され、そのベースは第1のカスコードトランジスタのベースおよびコレクタに接続され、マルチコレクタトランジスタのコレクタの表面領域間の比は、ミラートランジスタのエミッタの表面領域間の比に対応する。

【0026】この発明のさらなる実施例に従えば、ミラートランジスタのエミッタの表面領域間の比は、関連づけられたカスコードトランジスタのエミッタの表面領域間の比に等しい。

【0027】この発明のさらなる実施例に従えば、ベース電流再発生手段は、電流発生器を含み、その1つの入力は第1のミラートランジスタのベース電流に等しい電流を受取り、その1つの出力は、出力電流を提供するカスコードトランジスタのベースの相互接続に対応する第2のノードからの電流を引き、電流発生器の電流利得は、出力ミラートランジスタの表面領域の総和と入力ミラートランジスタのエミッタの表面領域との間の比よりも高い。

【0028】この発明のさらなる実施例に従えば、電流発生器は2つのNPNトランジスタを含み、そのベースは第1のトランジスタのコレクタに接続され、そのエミッタは接地され、第1のトランジスタのコレクタは第1のミラートランジスタのベース電流の値を与えるマルチコレクタトランジスタの第1のコレクタに接続されており、第2のトランジスタのコレクタは出力電流を与えるカスコードトランジスタのベースの接続の第2のノードに接続されている。

【0029】この発明のさらなる実施例に従えば、多出力カレントミラーはさらに、ミラートランジスタのコレクタエミッタ電圧を同一の値に設定するための手段をさらに含む。優先的に、前記手段はNPNトランジスタを

8

含み、そのコレクタは電圧電源に接続され、そのベースはミラートランジスタのベースの第1のノードに接続され、そのエミッタは出力カスコードトランジスタのベースの第2のノードに接続される。

【0030】この発明のこれらの目的、特徴、利点その他は、添付の図面との関連で示される実施例において、以下より詳細に述べられる。

【0031】

【詳細な説明】図6に示されるカレントミラーは、ミラー接続されたPNPトランジスタT1、T2、T3、およびカスコード接続されたPNPトランジスタT4、T5、T6を含む。トランジスタT1、T2、T3のエミッタは、電源電圧Vccに接続され、トランジスタT1、T2、T3のそれぞれのコレクタは、トランジスタT4、T5、T6のそれぞれのエミッタに接続される。トランジスタT1、T2、T3のベースは、第1のノードAに接続される。第1のカスコードトランジスタT4のベースは、そのコレクタに接続される。ミラーの入力Iinは、トランジスタT4のコレクタに対応する。トランジスタT5、T6のベースは、ノードBに接続される。トランジスタT1ないしT6は、同じエミッタ表面領域を有する。

【0032】マルチコレクタPNPトランジスタT7のエミッタは、ノードAに接続される。トランジスタT7のベースは、第1のカスコードトランジスタT4のベースに接続される。マルチコレクタトランジスタT7は、ミラー出力の数プラス1に等しい数のコレクタを有する。トランジスタT7の2つのコレクタはそれぞれ、それぞれT5およびT6であるカスコードトランジスタのコレクタに接続され、ミラーの出力Io1およびIo2を形成する。トランジスタT7の第1のコレクタは、バイアス電流発生器3の入力端子に接続される。発生器3の出力端子は、ノードBに接続される。ノードBはまた、NPNトランジスタT8のエミッタに接続される。トランジスタT8のコレクタは、電源電圧Vccに接続され、そのベースはノードAに接続される。

【0033】バイアス電流発生器3は2つのミラー接続されたNPNトランジスタT9およびT10を含む。トランジスタT9のコレクタは、発生器の入力端子、すなわちトランジスタT7の第1のコレクタに接続される。トランジスタT10のコレクタは、発生器の出力端子、すなわちノードBに接続される。トランジスタT9およびT10のエミッタは接地され、一方それぞれのベースはトランジスタT9のコレクタに接続される。

【0034】入力電流Iinに対し、トランジスタT4のコレクタ電流Ic4は、Iin-Ibに等しく、IbはトランジスタT4のベース電流Ib4である。この例において、ミラーおよびカスコードトランジスタのベース電流Ib1、Ib2、Ib3、Ib4、Ib5、Ib6は、同じ値Ibを有する。トランジスタT4のエミッタ

タ電流 I_{e4} は、そのコレクタ電流とそのベース電流との総和、 I_{in} に等しい。したがって、 $I_{c1} = I_{e4} = I_{in}$ および $I_{e1} = I_{in} + I_b$ である。

【0035】ミラートランジスタ $T1$ 、 $T2$ 、 $T3$ のベースの相互接続のため、トランジスタ $T2$ および $T3$ のエミッタ電流 I_{e2} 、 I_{e3} はまた、 $I_{in} + I_b$ に等しい。コレクタ電流 I_{c2} 、 I_{c3} はしたがって、 I_{in} に等しい。トランジスタ $T5$ 、 $T6$ のコレクタ電流は、 $I_{in} - I_b$ に等しい。出力電流 I_{o1} および I_{o2} はしたがって、それぞれ、コレクタ電流 I_{c5} 、 I_{c6} の総和、およびトランジスタ $T7$ のコレクタの電流 I_{b2} 、 I_{b3} の総和に等しい。ノードAから発生する、トランジスタ $T7$ のエミッタ電流 I_{e7} は、3つのベース電流 ($3I_b$) の総和に等しい。したがって、トランジスタ $T7$ の各々のコレクタの電流は、もしこれら3つのコレクタが同じ表面領域を有し、 $I_{o1} = I_{o2} = I_{in}$ であれば、 I_b に等しい。

【0036】トランジスタ $T7$ および $T8$ のベース電流は、 I_{b1} 、 I_{b2} および I_{b3} に関して無視できるが、これはこれらが常に、 I_{b1} 、 I_{b2} および I_{b3} に関して二次的なもの（これらはオーダが2低い）からである。

【0037】この発明の1つの利点 (I_{in} がどんな値であっても、 $I_{o1} = I_{o2} = I_{in}$) は、電流発生器3とマルチコレクタトランジスタ $T7$ とを関連づけることにより得られる。電流発生器3は、トランジスタ $T4$ から発生する入力電流を増幅することにより、トランジスタ $T7$ にバイアス電流を与える。この電流はミラートランジスタ $T1$ 、 $T2$ 、 $T3$ のベース電流に比例するため、これは入力電流の値 I_{in} 次第である。

【0038】実際に、トランジスタ $T7$ の各コレクタ電流の値は I_b に等しく、また3つのコレクタを含むため、そのベース電流 I_{b7} は、 $I_{b7} = 3I_b / \beta$ である。 β は、トランジスタの電流利得である。 I_b は I_{in} / β に等しいため、トランジスタ $T7$ のベース電流 I_{b7} の値はしたがって、 $3I_{in} / \beta^2$ に等しい。

【0039】電流発生器3の出力電流は、発生器の電流利得により乗算されたトランジスタ $T7$ の第1のコレクタの電流に等しい。図示されている例においては、この利得は、トランジスタ $T9$ および $T10$ のエミッタ表面領域の比により固定され、たとえば5に等しいものとして選択される。したがって、トランジスタ $T8$ のエミッタ電流 I_{e8} は、 $I_{e8} = 5I_b - 2I_b = 3I_b$ である。ベース電流は、 $I_{b8} = 3I_b / \beta = 3I_{in} / \beta^2$ である。

【0040】上記から導かれる結果として、ベース電流 I_{b7} および I_{b8} は常に、たとえ入力電流 I_{in} の値が低くとも、 I_b に対して無視できる。したがって、この発明に従うカレントミラーは、入力電流が広範囲にわたって変化しても、満足に動作する。トランジスタ $T8$

は飽和されるべきでないことに注意されたい。この目的において、電流発生器3は、 $2I_b$ よりも高い電流を与える電流利得を有する。言い換えれば、その利得は2よりも大きく、この数字はミラーの出力の数に対応する。

【0041】各ミラートランジスタ $T1$ 、 $T2$ 、 $T3$ は、同じコレクタエミッタ電圧 $V_{ce} = V_{be}$ を有する。これは以下のようにして導くことができる。ノードAの電位は $V_{cc} - V_{be}$ に等しく、トランジスタ $T4$ のベース電位は $V_{cc} - 2V_{be}$ である。トランジスタ $T1$ のコレクタ電位は、 $V_{cc} - V_{be}$ である。したがって、 $V_{ce1} = V_{be}$ である。トランジスタ $T8$ を通して、ノードBの電圧はまた、 $V_{cc} - 2V_{be}$ に等しい。したがって、トランジスタ $T2$ 、 $T3$ のコレクタ電圧は、 $V_{cc} - V_{be}$ および $V_{ce2} = V_{ce3} = V_{be}$ に等しい。つまり、トランジスタ $T8$ により、ミラートランジスタ $T1$ 、 $T2$ 、 $T3$ のすべてのコレクタエミッタ電圧は、同じ値 V_{be} に固定される。

【0042】したがって、トランジスタ $T7$ が存在するため、トランジスタ $T8$ により1つのベースエミッタ電圧 V_{be} の補償が可能となる。このトランジスタはカスコードトランジスタ $T5$ 、 $T6$ のベースに同じバイアス電圧を発生し、この電圧は、 $V_{cc} - 2V_{be}$ に等しい。

【0043】マルチコレクタトランジスタ $T7$ は、ミラートランジスタ $T1$ 、 $T2$ 、 $T3$ のベース電流を検出する機能を有し、出力トランジスタ $T5$ 、 $T6$ のコレクタで、回路で消費されるベース電流の補償を与える。

【0044】上記の原理は、3つ以上の出力を有するカレントミラーに適用される。この場合、回路は、分岐 $T2$ 、 $T5$ および $T3$ 、 $T6$ と類似するさらなる分岐を含み、トランジスタ $T7$ のコレクタの数は、電流発生器3の電流利得と同様増加する。

【0045】したがって、この発明は出力の数がいくつであっても、1に等しいミラー比および整合比を有する、多出力カレントミラーを提供する。このミラーの出力は、非常に高いインピーダンスを有し、これらの特徴は、入力電流の値が何であっても維持される。

【0046】図7は、先に開示されたカレントミラーのいくつかの基本的な特徴を示す表である。この表は、各出力に対するミラー比 (I_{o1} / I_{in} および I_{o2} / I_{in})、整合比 (I_{o2} / I_{o1})、高出力インピーダンスの有無を示している。この表はまた、使用されるトランジスタの数、出力の数に伴うミラー比の変化、および様々な入力電流に対するミラー比の変化を表わす。この最後の特徴は、図5および図6の回路に対してのみ示される。

【0047】表からわかるように、この発明はトランジスタの数を減少させたカレントミラーのすべての特徴を最適化する。

【0048】ミラートランジスタのベース電流の値を、

11

関連するカスコードトランジスタのコレクタで再発生することにより、ミラー出力でのベース電流の補償は向上する。

【0049】異なるチップ上に設けられた2つのミラーの選択された特徴の再生性は改良される。実際に、カスコードトランジスタで補償されるベース電流の値は効果的に、ミラートランジスタのベースより発生する。これは、たとえば図5に示される型の回路に対しては得られなかったものである。したがって、1つのチップから別のチップへとトランジスタの利得がもし変化すれば、補償は、トランジスタの利得を組入れる、各ミラートランジスタのベース電流の値で行なわれるだろう。

【0050】単一の電流発生器に関連づけられたマルチコレクタトランジスタを用いることにより、ミラー比を損なうことなく様々な出力での入力電流の再生性が、向上する。

【0051】使用されるトランジスタの数は制限される。この発明に従うミラーの構造により、再生性および信頼性のすべての特徴を維持する一方で、異なる出力電流を提供する多出力ミラーを形成することが可能となる。

【0052】この発明はより特定的には、チャージポンプ回路に応用される集積カレントミラー、または電流制御型発振器回路に関する。このような回路においては、カレントミラーの電気的な特徴が重要である。

【0053】この発明はまた、図6に類似する配置を用いることにより、異なる値を有する出力を備えたカレントミラーを製造することを可能にする。いくつかのトランジスタのエミッタおよびコレクタ表面領域のみが変更される。

【0054】この発明のそのような変形は、図6と関連づけて以下に開示される。マルチコレクタトランジスタT7は、コレクタ電流Ic5またはIc6に加えられるべきではないベース電流の比を決定する、異なる表面領域を備えたコレクタを有する。これらの比はトランジスタT1、T2、T3およびT4、T5、T6のエミッタ表面領域間に存在する比に対応する。この例において、トランジスタT1およびT4は、単位エミッタ表面領域を有すると仮定される。トランジスタT2およびT5は、トランジスタT1およびT4のエミッタ表面領域に対し、比mを有するエミッタ表面領域を有する。トランジスタT3およびT6は、トランジスタT1およびT4に対して比nを示すエミッタ表面領域を有する。ベース電流Ib1、Ib4は値Ibを有すると仮定すれば、ベース電流Ib2、Ib5は値mIbを有し、ベース電流Ib3、Ib6は値nIbを有するであろう。トランジスタT7は、1に等しい第1のコレクタ表面領域、第2のコレクタ表面領域m、および第3のコレクタ表面領域nを有する。

【0055】したがって、所与の入力電流Iinに対

12

し、トランジスタT4のコレクタ電流Ic4は、Iin-Ibに等しい。エミッタ電流Ie4=Iinであり、エミッタ電流Ie1=Iin+Ibであり、Ie2=m(Iin+Ib)、およびIe3=n(Iin+Ib)である。Ic2およびIc3はそれぞれ、mIinおよびnIinに等しい。同様に、Ic5=m(Iin-Ib)、Ic6=n(Iin-Ib)である。トランジスタT7のコレクタの表面領域間の比は、ミラートランジスタT1、T2およびT3のエミッタ表面領域の比に対応するように選択される。そのため、トランジスタT7はそのコレクタにおいてそれぞれの電流Ib、mIb、nIbを与える。したがって、Io1=mIinであり、Io2=nIinである。

【0056】上記のように、電流発生器3は、トランジスタT10のコレクタを通し、ベース電流Ib5とIb6との総和よりも高い電流を吸収する。すなわち、電流発生器3の電流利得は、m+nよりも大きくなるはずである。この利得は、トランジスタT9およびT10のエミッタ表面間の比により決定される。

【0057】この場合に得られるミラー比は、第1の出力に対しmであり、第2の出力に対しnであり、出力Io2およびIo1間の整合比は、n/mである。

【0058】この発明は、様々な態様で実現可能であることが当業者には明らかになるであろう。特に、開示された構成部品の各々は、同じ機能を有する1つまたは複数の要素により代替することができる。たとえば、2つのNPNトランジスタを含むものとして開示された電流発生器3は、たとえばレジスタおよびトランジスタを関連づけるといったその他の手段により、製造できる。

【0059】このようにしてこの発明の少なくとも1つの例示的な実施例が述べられてきたが、当業者には様々な代替形、変形、および改良が容易に考案されるであろう。そのような代替形、変形および改良は、この発明の精神および範囲内であることが意図される。したがって、上記の説明は例示のためのみであり、制限を意図するものではない。この発明は、前掲の特許請求の範囲において、規定されたものおよびその等価物によりのみ制限を受ける。

【図面の簡単な説明】

【図1】当該技術の状態および解決されるべき問題を示す図である。

【図2】当該技術の状態および解決されるべき問題を示す図である。

【図3】当該技術の状態および解決されるべき問題を示す図である。

【図4】当該技術の状態および解決されるべき問題を示す図である。

【図5】当該技術の状態および解決されるべき問題を示す図である。

【図6】この発明に従う多出力カレントミラーの実施例

13

14

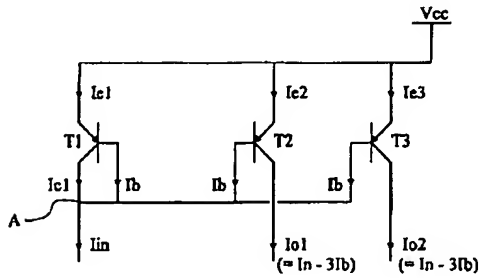
を示す図である。

【図7】様々なカレントミラーの性能を比較する表を示す図である。

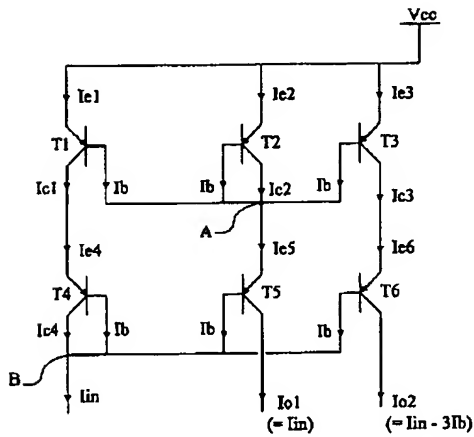
【符号の説明】

3 電流発生器

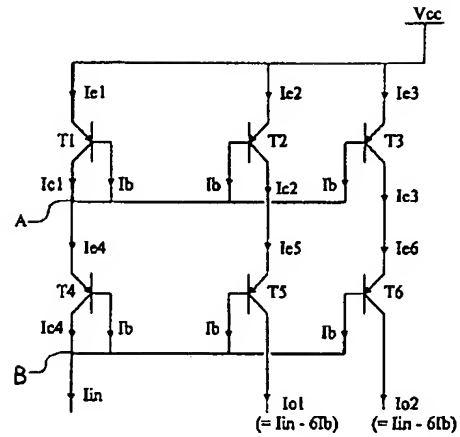
【図1】



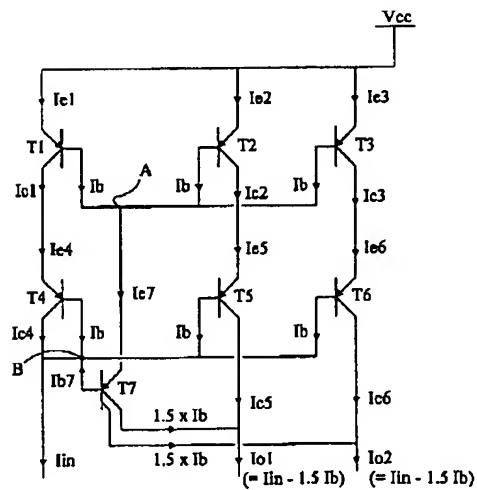
【図3】



【図2】



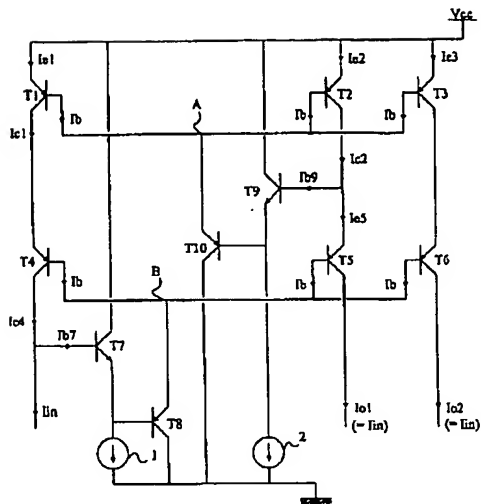
【図4】



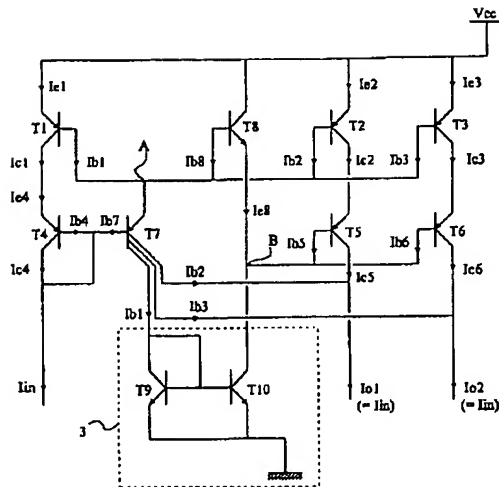
【図7】

	Fig 1	Fig 2	Fig 3	Fig 4	Fig 5	Fig 6
I_{o1}/I_{in}	$1-3/\beta$	$1-6/\beta$	1	$1-1.5/\beta$	1	1
I_{o2}/I_{in}	$1-3/\beta$	$1-6/\beta$	$1-3/\beta$	$1-1.5/\beta$	1	1
I_{o2}/I_{o1}	1	1	$1-3/\beta$	1	1	1
高出力電流の増大	無	有	有	有	有	有
トランジスタ数	3	6	6	7	12	10
出力電流の増大	1.2	1.2	1.2	1.2	1.1	1.1
I_{in} の増大					有	無

【図5】



【図6】



フロントページの続き

(72)発明者 マリオ・サンティ
シンガポール共和国、シンガポール
1025、タマン・ナコーダ・ピラ・デル・ロ
ーズ、36・エイ